

表示駆動回路、半導体集積回路、表示パネル及び表示駆動方法

5 本願では、2001年2月7日に出願された日本特許出願2001-30893及び2002年2月1日に出願された日本特許出願2002-25698の内容がそのまま含まれる。

BACKGROUND

10 本発明は、表示駆動回路、半導体集積回路、表示パネル及び表示駆動方法に関する。
従来のカラーLCD用ドライバIC（半導体集積回路。広義には、表示駆動回路。）
においては、MPUから出力される赤色（R）3ビット、緑色（G）3ビット、青色
（B）2ビットの計8ビットの画像データに基いて、カラーLCDを駆動していた。
この様子を図17に示す。

15 図17において、MPUから入力される1画素分の画像データD7～D0の内、D7～D5の3ビットが赤色の8階調を表しており、D4～D2の3ビットが緑色の8階調を表しており、D1～D0の2ビットが青色の4階調を表している。このような画像データを、ドライバICに内蔵されているROMに順次入力してFRC（フレームレートコントロール）変調を行うことにより、 $8 \times 8 \times 4 = 256$ 色のカラー表示
20 を行っていた。

このような従来のカラー表示方法においては、表示可能な色調は、MPUからドライバICに入力される画像データのビット数で決まってしまう。現在の一般的なカラーLCD用ドライバICにおいては、入力される画像データのビット数は8ビットであるから、表示可能な色調も256色に限定されていた。

25 しかしながら、256色の色調では、同系色の微妙な変化を表現することができない。一方、近年においては、カラー表示における色調の多様化が求められている。

ところで、日本国特許出願公開（特開）昭63-318863号公報には、カラー
画像情報を複数の色分解像に分解して複数の色信号に変換する手段と、これら複数の
色信号から歪補正されたデジタル色信号を得る手段と、このデジタル色信号をさらに
5 複数のビットで構成された複数の色信号に分離する色分離手段とを有し、この色分離手
段として、出力すべき色信号が相違する複数の色分離手段が用意され、これらの色
分離手段が交換可能に構成されているカラー画像処理装置が掲載されている。例えば、
黒、赤、緑、青の4色を用いて色表示を行う機種において、3つの色信号に分離して
カラー画像を記録できるようにしておけば、3色を用いて色表示を行う機種への展開
が容易となる。しかしながら、このカラー画像処理装置は、表示可能な色調の数を増
10 加させることを目的としたものではない。

また、日本国特許出願公開（特開）平10-327330号公報には、複数の記録
ドット位置に対応する単位階調処理領域の各々のドット位置に対応付けた互いに異
なる複数のしきい値を有するしきい値テーブルを利用して入力色信号を記録色信号
に変換する階調処理手段を備え、記録色信号に従って各々のドット位置に記録処理を
15 行うカラー記録装置が掲載されている。このカラー記録装置は、互いにしきい値の配
列パターンが異なる複数種類のしきい値テーブルと、その中から実際に使用するしき
い値テーブルを選択する手段と、互いに内容の異なる複数種類の信号補正処理機能と、
しきい値テーブルの種類に対応する信号補正処理の内容を記憶する記憶手段とを有
し、選択されたしきい値テーブルに対応する信号補正処理内容に基づいて信号補正処
20 理を行う信号補正手段を備えている。これは、各色の重なり具合やその他の要因に
よって記録信号のレベルと実際の記録内容との間に差が生じるため、処理内容を固定
した補正処理では十分な補正を行うことが困難だからである。このカラー記録装置は、
オペレータがしきい値テーブルを切り換えても、再現される色が変化しないようにす
るものであり、表示可能な色調の数を増加させることを目的としたものではない。

25 一方、日本国特許出願公開（特開）昭60-243735号公報には、色信号を色
変換テーブルによって印刷用データに変換し、この印刷用データに基づいてカラー印

刷を行うカラープリンタにおいて、複数の書換え可能なテーブルを設け、これらのテーブルの記憶内容を任意に設定すると共に、これらのテーブルの内の1つを選択して使用するようにしたカラープリンタが掲載されている。しかしながら、このカラープリンタによれば、利用者が複数のテーブルの内の1つを選択して印刷の色調を設定する必要があり、利用者がテーブルを変更しない限り、表示可能な色調の数を増加させることはできない。

SUMMARY

一実施形態は、連続的に入力される画像表示用のデータを順次記憶するRAMと、各々が、前記RAMに記憶されているデータに基づいて複数の階調パターンの中から1つの階調パターンを選択する複数の階調パターン選択回路と、前記複数の階調パターン選択回路に対応して設けられ、一連の画像フレームについて、前記複数の階調パターン選択回路において選択された階調パターンを順次出力させる複数のフレーム選択回路とを含む表示駆動回路に関する。

別の実施形態は、連続的に入力される画像表示用のデータを順次記憶するRAMと、互いに異なるフレーム周期の複数の階調パターンを記憶し、前記RAMに記憶されたデータを用いて複数の階調パターンの中から1つの階調パターンを選択する複数のFRCROMと、前記複数のFRCROMにより選択された階調パターンそれぞれを、フレームごとに順次出力させる複数のフレーム選択回路とを含み、表示部を駆動するための駆動信号が、前記複数のFRCROMから出力された階調パターンに基づいて出力される表示駆動回路に関する。

BRIEF DESCRIPTION OF THE SEVERAL VIEWS OF THE DRAWING

図1は、本発明の一実施形態に係る半導体集積回路の構成を示すブロック図である。
図2は、図1に示すLCDパネルの概略構成を示す図である。
図3は、MPUIンターフェースの構成の一例を示すブロック図である。

図4 Aは、MPUインターフェースの動作を説明するための説明図である。図4 Bは、MPUインターフェースの動作タイミングの一例を示すタイミングチャートである。

図5は、画像データ変換回路における変換テーブルの一例を示す説明図である。

5 図6は、画像データ変換回路の構成の一例を示すブロック図である。

図7は、FRCROMに記憶されている階調パターンの例を示す図である。

図8は、FRCROMに記憶されている32種類の階調パターンを用いることにより表現できる32階調を示す図である。

図9は、図8に示す32階調の連続性を示す図である。

10 図10は、本実施形態におけるドライバICの構成要部の接続関係を模式的に示すブロック図である。

図11は、表示制御回路から出力されるアドレス信号を説明するための説明図である。

15 図12は、FRCROM、フレーム選択回路及び表示制御回路の接続関係を模式的に示すブロック図である。

図13は、フレーム選択回路の構成の一例を示す回路図である。

図14は、階調パターン選択ROMとFRCROMとを1つのROMとした構成を示す回路図である。

図15は、LCDインターフェースの構成の一例を示すブロック図である。

20 図16は、表示パネルの構成の一例を示す構成図である。

図17は、従来のカラー表示方法におけるデータ処理を示す図である。

DETAILED DESCRIPTION

25 本実施形態は、上述のような技術的課題に鑑みてなされたものであり、本実施形態によれば、LCD等を駆動して複数の階調でカラー表示を行う際に、表示可能な色調の種類を拡大し、表示される色の選択の自由度を増すことのできる表示駆動回路、半

導体集積回路、これを用いた表示パネル及び表示駆動方法を提供することができる。

以下、本実施形態について説明する。

なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成の全てが本発明の必須構成要件であるとは限らない。

本実施形態は、連続的に入力される画像表示用のデータを順次記憶するRAMと、各々が、前記RAMに記憶されているデータに基づいて複数の階調パターンの中から1つの階調パターンを選択する複数の階調パターン選択回路と、前記複数の階調パターン選択回路に対応して設けられ、一連の画像フレームについて、前記複数の階調パターン選択回路において選択された階調パターンを順次出力させる複数のフレーム選択回路とを含む表示駆動回路に関する。

また本実施形態に係る表示駆動回路は、各色の階調をN（Nは2以上の整数）ビットで表すデータを入力し、設定されたコマンドに基づいて、各色の階調をM（Mは整数で、 $M > N$ ）ビットで表すデータに変換して前記RAMに供給する画像データ変換回路をさらに含むことができる。

また本実施形態に係る表示駆動回路は、前記複数の階調パターン選択回路の各々が、前記RAMに記憶されているデータに基づいて階調パターン選択信号を出力する選択ROMと、前記階調パターン選択信号に従って複数の階調パターンの中から1つの階調パターンを選択すると共に、対応するフレーム選択回路から出力される制御信号に従って前記階調パターンを用いてFRC（フレームレートコントロール）変調を行うFRCROMとを含むことができる。

また本実施形態に係る表示駆動回路は、前記複数のフレーム選択回路の各々が、複数の部分に分割されてそれぞれの階調パターン選択回路の両側に配置（レイアウト）されていてもよい。

すなわち、複数の部分に分割された複数のフレーム選択回路の各々の回路及び配線を含む回路パターンが、階調パターン選択回路の両側に配置されていてもよい。

以上の様に構成した本実施形態によれば、複数のフレーム選択回路に記憶されている階調パターンを画像データに応じて切り換えて出力することにより、表示可能な色調の種類を拡大し、表示される色の選択の自由度を増すことができる。

5 また本実施形態は、連続的に入力される画像表示用のデータを順次記憶するRAMと、互いに異なるフレーム周期の複数の階調パターンを記憶し、前記RAMに記憶されたデータを用いて複数の階調パターンの中から1つの階調パターンを選択する複数のFRCROMと、前記複数のFRCROMにより選択された階調パターンそれぞれを、フレームごとに順次出力させる複数のフレーム選択回路とを含み、表示部を駆動するための駆動信号が、前記複数のFRCROMから出力された階調パターンに基づいて出力される表示駆動回路に関する。

10 ここで、複数のFRCROMが第1～第k（kは2以上の整数）のFRCROMからなるものとする、第1のFRCROMは、第1のフレーム周期の複数の階調パターンを記憶する。また、第2のFRCROMは、第1、第3～第kのフレーム周期と異なる第2のフレーム周期の複数の階調パターンを記憶する。同様にして、第kのFRCROMは、第1～第（k-1）のフレーム周期と異なる第kのフレーム周期の複数の階調パターンを記憶する。

15 本実施形態によれば、複数種類のフレーム周期の複数の階調パターンの中から、1つの階調パターンを選択して表示部を駆動するようにしたので、少ないビット数の画像データであってもより木目細かい階調表示を行うことができる。

20 また本実施形態に係る表示駆動回路は、各色の階調をN（Nは2以上の整数）ビットで表すデータを入力し、任意に設定可能な各色M（Mは整数で、 $M > N$ ）ビットで表すデータに変換して前記RAMに供給する画像データ変換回路を含み、前記複数のフレーム選択回路の各々は、前記Mビットの階調に基づいて選択された階調パターンを、フレームごとに順次出力させることができる。

25 本実施形態によれば、画像データのビット数が少ない場合であっても、表示可能な色調の種類を拡大し、更に階調特性に応じた階調表現を実現することができる。

また本実施形態に係る半導体集積回路は、上記いずれか記載の表示駆動回路と、選択された階調パターンに基いて生成された駆動信号を出力する端子とを含むことができる。

5 本実施形態によれば、少ないビット数の画像データであってもより木目細かい階調表示を行うことができるICを提供することができる。

また本実施形態に係る表示パネルは、互いに交差する複数のコモン電極と複数のセグメント電極とにより特定される画素と、前記セグメント電極を駆動する上記いずれか記載の表示駆動回路とを含むことができる。

10 本実施形態によれば、少ないビット数の画像データであってもより木目細かい階調表示を行うことができる表示パネルを提供することができる。この場合、コモン電極を駆動する走査ドライバを、表示パネルの外部に設けてもよいし、該表示パネルが形成される基板上に設けてもよい。

15 また本実施形態に係る表示駆動方法は、少なくとも2種類のフレーム周期の複数の階調パターンの中から、画像表示用のデータに基いて1つの階調パターンを選択してフレームごとに出力し、該階調パターンに基いて、表示部を駆動するための駆動信号を出力する表示駆動方法に関する。

本実施形態によれば、複数種類のフレーム周期の複数の階調パターンの中から、1つの階調パターンを選択して表示部を駆動するようにしたので、少ないビット数の画像データであってもより木目細かい階調表示を行うことができる。

20 また本実施形態に係る表示駆動方法は、 N (N は2以上の整数) ビットの階調に対応して、任意に設定可能な M (M は整数で、 $M > N$) ビットの階調に変換し、少なくとも2種類のフレーム周期の複数の階調パターンの中から、前記 M ビットの階調に基づいて1つの階調パターンを選択してフレームごとに出力することができる。

25 本実施形態によれば、画像データのビット数が少ない場合であっても、表示可能な色調の種類を拡大し、更に階調特性に応じた階調表現を実現することができる。

以下、本実施形態について図面を用いて詳細に説明する。

図1に、本発明の一実施形態に係る半導体集積回路の構成を示す。ここでは、本実施形態に係る表示駆動回路を、半導体集積回路としてのカラーLCD用ドライバICに適用した場合について説明する。

図1に示すように、ドライバIC（半導体集積回路）20には、MPU10から、各画素の画像情報を表す8ビットの画像データD7～D0が順次入力される。また、ドライバIC20には、書込み制御信号や読出し制御信号を含む各種の制御信号が入力される。ドライバIC20は、これらの画像データや制御信号に基づいて、R駆動信号とG駆動信号とB駆動信号の複数の組を生成し、LCDパネル（広義には、表示パネル）30の複数のセグメント電極にそれぞれ出力する。

図2に、LCDパネルの概略構成を示す。LCDパネル30は、セグメント方向において複数の領域11、12、・・・を有し、コモン方向においても複数の領域、21、22、・・・を有している。ここで、セグメント方向の1つの領域とコモン方向の1つの領域を特定することにより、1つの画素が特定される。一例としては、LCDパネル30が、セグメント方向において160個の領域を有し、コモン方向において120個の領域を有する。この場合には、LCDパネル30は、160×120の画素を有することになる。

さらに、セグメント方向の各領域は、RGBの各色を表示するための3つの領域（ドット）11R、11G、11Bに細分されており、これらの領域に電圧を印加するための3系統の素子には、それぞれ端子31R、31G、31Bが接続されている。

再び図1を参照すると、ドライバIC20は、MPU10と接続を行うためのMPUインターフェース1と、LCDパネル30と接続を行うためのLCDインターフェース8とを含んでいる。LCDインターフェース8から出力された駆動信号は、端子を介してLCDパネル30のセグメント電極に出力される。これにより、LCDパネル30の各セグメント電極におけるRGBの各領域が駆動される。

ドライバIC20は、少なくとも2種類のフレーム周期の複数の階調パターンを記憶する。そして、これら複数の階調パターンの中からMPUインターフェース1を介

して入力された画像データに基いて選択された1つの階調パターンを、フレームごとに順次出力させる。これにより、ドライバIC20は、FRC（フレームレートコントロール）変調による階調表示を行うことができる。

ドライバIC20において、MPUインターフェース1から出力される画像データは画像データ変換回路2に供給され、MPUインターフェース1から出力される制御信号は表示制御回路9に供給される。画像データ変換回路2は、MPU10から供給されるコマンドに従って、入力された画像データを、それよりもビット数の多いデータに変換する。例えば、画像データ変換回路2は、入力される赤色（R）3ビット、緑色（G）3ビット、青色（B）2ビットの計8ビットの画像データを、各色について4又は5ビットの赤色階調データ、緑色階調データ、青色階調データに変換する。

画像データを各色について4ビットの階調データに変換する場合には、 $(2^4)^3 = 4096$ 種類の色調の設定が可能であり、その中から画像データに従って256種類又は4096種類の色調を表示することができる。さらに、画像データを各色について5ビットのデータに変換する場合には、 $(2^5)^3 = \text{約}3\text{万}2\text{千}$ 種類の色調の設定が可能であり、その中から画像データに従って256種類又は4096種類又は約3万2千種類の色調を表示することができる。なお、画像データ変換回路2には、8ビット以外のビット数を有する画像データを入力するようにしてもかまわないし、画像データ変換回路2を用いずに、各色について4ビット又は5ビット以上を含む画像データを、直接ドライバIC20に入力するようにしても良い。

以下では、各色4ビットで階調表現される画像データを取り込んで、各色5ビットの階調データに変換する場合について説明する。

まず、MPUインターフェース1について説明する。MPUインターフェース1は、MPU10により8ビット単位で書き込まれた各色4ビットの画像データを、24ビット（2画素）単位でRAM3に書き込むことができる。

図3に、MPUインターフェース1の構成の一例を示す。

MPUインターフェース1は、ラッチ回路LAT-A～LAT-Cと、ラッチ回路

LAT-A'~LAT-C' とを含む。ラッチ回路LAT-A~LAT-Cは、MPU10から入力された8ビットの画像データD7~D0をラッチする。ラッチ回路LAT-A'~LAT-C'は、ラッチ回路LAT-A~LAT-Cでラッチされたデータをさらにラッチする。

- 5 ラッチ回路LAT-Aは、書込み制御信号WR1に基いて、8ビットの画像データD7~D0をラッチする。ラッチ回路LAT-Bは、書込み制御信号WR2に基いて、8ビットの画像データD7~D0をラッチする。ラッチ回路LAT-Cは、書込み制御信号WR3に基いて、8ビットの画像データD7~D0をラッチする。ラッチ回路LAT-A~LAT-Cでラッチされたデータは、内部バスIBUS1~3に出力される。

ラッチ回路LAT-A'~LAT-C'は、書込み制御信号WR3を遅延させた書込み遅延制御信号に基いて、内部バスIBUS1~3のデータをラッチし、それぞれ出力バスOUTBUS1~3に出力する。

- 15 一般に、各色4ビットで階調表現を行う画像データについて、8ビット単位で書き込みが行われると、2回の書き込み動作で1画素分の階調データが書き込まれることになる。したがって、後続する2画素目の階調データの書き込みを行う場合には、さらに2回の書き込みが必要となってしまう。

- 20 そこで、ドライバIC20は、図3に示すようにラッチ回路LAT-A~LAT-Cを設け、図4Aに示すように3回の書込み動作で2画素分の階調データをラッチする。そして、3回目の書込み動作に同期して2画素分の階調データをラッチ回路LAT-A'~LAT-C'でラッチし、後段の画像データ変換回路2に供給する。

- 25 このため、図4Bに示すように、MPU10からの書込み制御信号MPUWRがアクティブになるごとに、書込み制御信号WR1~WR3を順にアクティブにして、画像データD7~D0を各ラッチ回路に取り込む。ラッチ回路LAT-A'~LAT-C'は、セットアップ時間及びホールド時間を確保するために書込み制御信号WR3遅延させた書込み遅延制御信号により、（書込み制御信号WR3に同期させて）内部

バス I B U S 1 ～ 3 のデータをラッチする。そして、出力バス O U T B U S 1 ～ 3 にデータが出力されている期間に、画像データ変換回路 2 でビット数を変換し、R A M 3 へ書き込むようにしている。

5 これにより、M P U 1 0 による画像データの書込み動作の回数を低減させることができ、連続して入力される画像データを効率的に取り込むことができる。

このような M P U インターフェース 1 により効率的に取り込まれた各色 4 ビットの画像データは、画像データ変換回路 2 に入力される。画像データ変換回路 2 は、各色 4 (N = 4) ビットの画像データを、任意に設定可能な例えば 5 (M = 5) ビットの階調データに変換する。

10 図 5 に、画像データ変換回路 2 において生成される変換テーブルの一例を示す。

ここでは、各色 4 ビットの画像データを各色 5 ビットの階調データを変換する場合について説明するが、変換後の階調データのビット数に限定されるものではない。

15 このような変換テーブルは、複数のラッチ回路を含む。これらラッチ回路に対しては、例えば M P U 1 0 からのコマンド P x (x = 1 ～ 4 8) により、4 ビットの画像データに対して変換すべき 5 ビットの階調データを設定することができるようになっている。例えば、4 ビットの画像データ R (0 , 0 , 0 , 0) について、変換すべき 5 ビットの階調データを設定する場合、M P U 1 0 からコマンド P 1 を発行する。

20 コマンド P 1 を受けた画像データ変換回路 2 は、データ D 4 ～ D 0 上の変換後の 5 ビットの階調データ P 1 4 ～ P 1 0 を記憶する。その後、4 ビットの画像データとして R (0 , 0 , 0 , 0) が入力されたとき、画像データ変換回路 2 は、5 ビットの階調データ P 1 4 ～ P 1 0 を出力することになる。

図 6 に、画像データ変換回路 2 の構成の一例を示す。

ここでは、赤色 (R) の画像データを変換する部分についてのみ示す。

25 画像データ変換回路 2 は、5 ビットのラッチ回路 L A T 1 ～ L A T 4 8 と、セレクト回路 S E L 0 ～ S E L 4 とを含む。

ラッチ回路 L A T 1 ～ L A T 4 8 は、変換テーブル設定用データ D 4 ～ D 0 が入力

される。ラッチ回路LAT1は、MPU10からコマンドP1が入力されたときにアクティブになるイネーブル信号EN-P1に基づいて、変換テーブル設定用データD4～D0をラッチする。ラッチ回路LAT2は、MPU10からコマンドP2が入力されたときにアクティブになるイネーブル信号EN-P2に基づいて、変換テーブル設定用データD4～D0をラッチする。ラッチ回路LAT3～LAT48についても、同様にMPU10からコマンドP3～P48が入力されたときにアクティブになるイネーブル信号EN-P3～EN-P48に基づいて、変換テーブル設定用データD4～D0をラッチする。

ラッチ回路LAT1～LAT48は、ラッチした5ビットの変換テーブルデータR41～R01、R42～R02、・・・、R448～R048を出力する。

セクタ回路SEL0は、ラッチ回路LAT1～LAT48それぞれから出力された変換テーブルデータR01～R048の中から、MPUインターフェース1から出力された変換前の4ビットの画像データD3～D0に基づいて、選択ビットRO0を選択出力する。

セクタ回路SEL1は、ラッチ回路LAT1～LAT48それぞれから出力された変換テーブルデータR11～R148の中から、MPUインターフェース1から出力された変換前の4ビットの画像データD3～D0に基づいて、選択ビットRO1を選択出力する。

セクタ回路SEL2は、ラッチ回路LAT1～LAT48それぞれから出力された変換テーブルデータR21～R248の中から、MPUインターフェース1から出力された変換前の4ビットの画像データD3～D0に基づいて、選択ビットRO2を選択出力する。

セクタ回路SEL3は、ラッチ回路LAT1～LAT48それぞれから出力された変換テーブルデータR31～R348の中から、MPUインターフェース1から出力された変換前の4ビットの画像データD3～D0に基づいて、選択ビットRO3を選択出力する。

セクタ回路SEL 4は、ラッチ回路LAT 1～LAT 4 8それぞれから出力された変換テーブルデータR 4₁～R 4₄₈の中から、MPUインターフェース1から出力された変換前の4ビットの画像データD 3～D 0に基づいて、選択ビットRO 4を選択出力する。

- 5 例えばセクタ回路SEL 0～SEL 4は、4ビットの画像データD 3～D 0が(0, 0, 0, 0)のとき、コマンドP 1に基づいてラッチ回路LAT 1に設定されて出力されたR 4₁～R 0₁を、それぞれ選択ビットRO 0～RO 4として選択出力する。

以上のような構成により、画像データ変換回路2は、変換前の4ビットの画像データD 4～D 0から、選択ビットRO 4～RO 0を5ビットの階調データとして出力す

- 10 ることができる。

このような画像データ変換回路2から連続的に出力される階調データは、RAM 3に順次記憶される。RAM 3には、階調パターン選択ROM 4 A～4 Dが接続されている。階調パターン選択ROM 4 A～4 Dの各々は、RAM 3から供給される各色の階調データ（以下においては5ビットとする）に基づいて、FRCROM 5 A～5 Dに
15 記憶されている複数の階調パターンの中から1つの階調パターンを選択するための階調パターン選択信号を出力する。

ここで、階調パターンは、階調に応じた階調表現を行うために、所与のフレーム周期でオン又はオフを指定するパターンをいう。FRCROM 5 A～5 Dは、互いに異なるフレーム周期の各階調に応じた複数の階調パターンを記憶する。

- 20 図7に、図1に示すFRCROM 5 A～5 Dに記憶されている階調パターンの例を示す。FRCROM 5 Aには、階調パターンA-1からA-8までの8つの階調パターンが記憶されており、この内の1つが階調データに基づいて選択される。同様に、FRCROM 5 Bには、階調パターンB-1からB-9までの9つの階調パターンが記憶され、FRCROM 5 Cには階調パターンC-1からC-7までの7つの階調パ
25 ターンが記憶され、FRCROM 5 Dには、階調パターンD-1からD-8までの8つの階調パターンが記憶されている。これらの階調パターンは、1回の出力ごとにパタ

ーンをずらすことが望ましい。例えば、1セグメント出力ごとに、図7の横に1段ずつずらしたROMデータを作成する。なお、階調パターンの開始アドレスは、1フレーム期間中は全て同じアドレスとする。

FRCROM5A～5Dに記憶されている合計32種類の階調パターンを用いることにより、図8に示すような32階調でRGBの各色を表現することができる。図9に、これらの階調の連続性を示す。図9に示すように、本実施形態によれば、従来の8階調表示よりも木目細かい階調表示が可能となる。

これは、例えば、画像データ変換回路2において、MPU10から入力される各色4ビットの画像データを、図8及び図9に示すような各階調に対応した各色5ビットの画像データに変換させるような変換テーブルを設定することで、容易に実現することができる。

さらに、図1に示すように、FRCROM5A～5Dには、フレーム選択回路6A～6D及び7A～7Dがそれぞれ接続されている。フレーム選択回路6A～6D及び7A～7Dは、表示制御回路9の制御の下、一連の画像フレームについて、FRCROM5A～5Dにおいて選択された階調パターンを順次出力させることにより、FRC（フレームレートコントロール）変調を行う。

図10に、ドライバIC20において、RAM3、階調パターン選択ROM4A～4D、FRCROM5A～5D、フレーム選択回路6A～6D、7A～7D及び表示制御回路9の接続関係を模式的に示す。

表示制御回路9は、アドレス信号AD3₁₂～AD0₁₂を、フレーム選択回路6A、7Aに出力する。アドレス信号AD3₁₂～AD0₁₂は、図11に示すように、フレーム期間を経過するたびに更新されるフレーム番号を示し、12フレーム周期で繰り返すようになっている。

また表示制御回路9は、アドレス信号AD3₁₁～AD0₁₁を、フレーム選択回路6B、7Bに出力する。アドレス信号AD3₁₁～AD0₁₁は、図11に示すように、フレーム期間を経過するたびに更新されるフレーム番号を示し、11フレーム周期で

繰り返すようになっている。

また表示制御回路 9 は、アドレス信号 $AD\ 3_{10} \sim AD\ 0_{10}$ を、フレーム選択回路 6 C、7 C に出力する。アドレス信号 $AD\ 3_{10} \sim AD\ 0_{10}$ は、図 11 に示すように、フレーム期間を経過するたびに更新されるフレーム番号を示し、10 フレーム周期で繰り返すようになっている。

さらに表示制御回路 9 は、アドレス信号 $AD\ 3_7 \sim AD\ 0_7$ を、フレーム選択回路 6 D、7 D に出力する。アドレス信号 $AD\ 3_7 \sim AD\ 0_7$ は、図 11 に示すように、フレーム期間を経過するたびに更新されるフレーム番号を示し、7 フレーム周期で繰り返すようになっている。

RAM 3 は、画像データ変換回路 2 により変換された 5 ビットの階調データ $R\ 4 \sim R\ 0$ を、階調パターン選択 ROM 4 A \sim 4 D に出力する。

階調パターン選択 ROM 4 A \sim 4 D は、図 8 に示すように、5 ビットの階調データに基く階調に応じて、FRCROM 5 A \sim 5 D に記憶されている複数の階調パターンの中から 1 つの階調パターンを選択するための階調パターン選択信号を出力する。

図 12 に、FRCROM、フレーム選択回路及び表示制御回路の接続関係を模式的に示す。

FRCROM 5 A は、階調パターン選択 ROM 4 A から出力された階調パターン選択信号により選択された階調パターンの中から、フレーム選択回路 6 A 又は 7 A により指定されたフレーム番号に応じて、表示オン又は表示オフを示す階調パターンをデコード出力する。

FRCROM 5 B は、階調パターン選択 ROM 4 B から出力された階調パターン選択信号により選択された階調パターンの中から、フレーム選択回路 6 B 又は 7 B により指定されたフレーム番号に応じて、表示オン又は表示オフを示す階調パターンをデコード出力する。

FRCROM 5 C は、階調パターン選択 ROM 4 C から出力された階調パターン選択信号により選択された階調パターンの中から、フレーム選択回路 6 C 又は 7 C によ

り指定されたフレーム番号に応じて、表示オン又は表示オフを示す階調パターンをデコード出力する。

5 FRCROM 5 Dは、階調パターン選択ROM 4 Dから出力された階調パターン選択信号により選択された階調パターンの中から、フレーム選択回路 6 D又は7 Dにより指定されたフレーム番号に応じて、表示オン又は表示オフを示す階調パターンをデコード出力する。

10 FRCROM 5 A～5 Dに入力され、各フレームをそれぞれ特定するための制御信号G 1 1～G 0（制御信号G 1 5～G 1 2は未使用）のうち、制御信号G 1 1～G 8、G 3～G 0はフレーム選択回路 6 A～6 Dにおいて生成される。また制御信号G 1 5～G 1 2、G 7～G 4はフレーム選択回路 7 A～7 Dにおいて生成される。

15 このように、各々のFRCROMに対応するフレーム選択回路を2つの部分に分けたのは、フレーム選択回路にはトランスファークゲートやNAND回路等を構成する高速で面積の大きいトランジスタが複数含まれているので、これらのトランジスタを一カ所に集めるとその部分の面積が増大してしまい、レイアウトが困難になるからである。

20 特にFRCROMに制御信号を出力するフレーム選択回路に比べて該FRCROMの素子数が少ない場合、フレーム選択回路のレイアウト（配置）形状が、ドライバIC 2 0の短辺方向に大きくなってレイアウト効率が低下してしまう。したがって、フレーム選択回路を分割することにより、ドライバIC 2 0の長辺方向に長くなっても、その短辺方向の長さを小さくすることができるので、レイアウト効率を向上させることができる。

次に、フレーム選択回路、階調パターン選択回路及びFRCROMについて説明する。

25 フレーム選択回路 6 Aは、図 1 3に示すように、表示制御回路 9からのアドレス信号AD 3₁₂～AD 0₁₂から、制御信号G 1 1～G 8、G 3～G 0を生成する。制御信号G 1 1～G 8、G 3～G 0は、FRCROM 5 Aに対して出力される。フレーム

選択回路 6 A は、例えばアドレス信号 $AD_{3_{12}} \sim AD_{0_{12}}$ がフレーム 1 を表しているとき ($AD_{3_{12}} \sim AD_{0_{12}} = 「0000」$) は、制御信号 G_0 がアクティブ（論理レベル「L」）で、制御信号 $G_{11} \sim G_8$ 、 $G_3 \sim G_1$ がインアクティブ（論理レベル「H」）となるようにデコードを行う。またフレーム選択回路 6 A は、例えば

5 アドレス信号 $AD_{3_{12}} \sim AD_{0_{12}}$ がフレーム 1 2 を表しているとき ($AD_{3_{12}} \sim AD_{0_{12}} = 「1011」$) は、制御信号 G_{11} がアクティブ（論理レベル「L」）で、制御信号 $G_{10} \sim G_8$ 、 $G_3 \sim G_0$ がインアクティブ（論理レベル「H」）となるようにデコードを行う。

ここでは、フレーム選択回路 6 A について説明するが、フレーム選択回路 6 B ～ 6

10 D、7 A ～ 7 D についても同様に構成することができるため、説明を省略する。

階調パターン選択 ROM 4 A ～ 4 D の各々と、それに対応する FRCROM 5 A ～ 5 D の各々とを、1 つの ROM として構成しても良い。

図 1 4 に、階調パターン選択 ROM 4 A ～ 4 D の各々と、それに対応する FRCROM 5 A ～ 5 D の各々とを、1 つの ROM として構成した構成例を示す。

15 このような構成の ROM は、複数のコモン電極を同時選択するマルチライン駆動法（Multi Line Selection: MLS）により複数ライン分の階調パターンを出力する場合、当該複数のコモン電極に対応する複数のセグメント電極のうち奇数ライン用及び偶数ライン用として共用化するため、2 つ 1 組で設けられる。例えば階調パターン選択 ROM 4 A と、これに対応する FRCROM 5 A とが 1 つの ROM として構成され

20 た場合、図 1 4 に示した構成の ROM を 2 つ含むように構成される。

図 1 4 に示す複数のトランジスタの内の所定のものは、ソースとドレインとの間がアルミ配線でショートされており、これによってデータを変換するために用いるアルゴリズムを記憶している。

下側のトランジスタ群は、RAM 3 から供給される 5 ビットの階調データに基いて

25 階調パターンを選択するための階調パターン選択 ROM（デコーダ）を構成し、5 ビットの階調データに応じて上側のトランジスタ群に対して（広義の）階調パターン選

択信号を供給する。上側のトランジスタ群は、図7に示す階調パターンD-1、D-2、D-3、・・・を表している。例えば、階調データ(M4~M0=「00011」)が入力された場合には、最も左側のトランジスタ列によって表される階調パターンD-1が選択される。このとき、最も左側のトランジスタ列のうち、制御信号G0がゲートに接続されるトランジスタのソースに印加される(広義の)階調パターン選択信号が、接地電位(プリチャージ電位)となる。

上側のトランジスタ群のゲートには、制御信号G0~G11が印加される。階調パターンD-1を表す最も左側のトランジスタ列において、1番目の制御信号G0に対応するトランジスタと7番目の制御信号G6に対応するトランジスタにおいて、ソースとドレインとの間がショートされている。制御信号G0~G11の内の1つを順次論理レベル「L」にして他を論理レベル「H」にすることにより、図7に示す階調パターンD-1の最上列に示されているドットが順次出力される。同様にして、他の階調パターンA~Cに対応するトランジスタ群を含むROMを設けることにより、図8及び図9に示す32階調を表現することができる。

図1において、図14のような構成のROMから出力された奇数ライン及び偶数ラインの出力は、LCDインターフェース8に入力される。

図15に、LCDインターフェース8の構成の一例を示す。

ここでは、4ライン同時選択のMLSにより駆動される1セグメント出力当たりの構成を示している。

LCDインターフェース(広義には、駆動信号出力回路)8は、ラッチ回路100A~100D、MLSデコーダ110、ラッチ回路120A~120E、ドライバロジック130、レベルシフタ(LS)140A~140E、セグメント電極駆動回路150を含む。

ラッチ回路100Aは、FRCROM5A~5Dからの奇数ラインのうち、MLSにより同時選択される4ラインのコモン電極に対応した第1ライン(1ライン目)の出力がラッチされる。ラッチ回路100Cは、FRCROM5A~5Dからの奇数ラ

インのうち、MLSにより同時選択される4ラインのコモン電極に対応した第3ライン（3ライン目）の出力がラッチされる。ラッチ回路100Bは、FRCROM5A～5Dからの偶数ラインのうち、MLSにより同時選択される4ラインのコモン電極に対応した第2ライン（2ライン目）の出力がラッチされる。ラッチ回路100Dは、
5 FRCROM5A～5Dからの奇数ラインのうち、MLSにより同時選択される4ラインのコモン電極に対応した第4ライン（4ライン目）の出力がラッチされる。

MLSデコーダ110は、同時選択されるコモン電極4ライン分の走査パターンにより規定される直交関数を用いて、セグメント電極4ライン分（上述の第1～第4ライン）の表示パターンに対し、予めMLS演算を行い、その演算結果を、フィールド
10 単位でデコード出力する。このデコード出力は、セグメント電極に供給する電圧を選択する選択信号として出力される。この選択信号は、4ライン同時選択の場合、5値の電圧（V3、V2、VC、MV2、MV3）のいずれか1つを選択する。

MLSデコーダ110から出力されたデコード出力は、ラッチ回路120A～120Eでラッチされた後、ドライバロジック130に入力される。

15 ドライバロジック130では、極性反転タイミング等にしがって、選択信号の論理演算が行われる。ドライバロジック130の出力は、レベルシフト回路140A～140Eにより電圧レベルが変換された後、セグメント電極駆動回路150に入力される。セグメント電極駆動回路150は、レベルシフト回路140A～140Eに基づいて、電圧V3、V2、VC、MV2、MV3のいずれかの電圧を、セグメント出力端子を介し、LCDパネル30のセグメント電極に出力する。
20

以上のような構成により、ドライバIC20は、MPU10からの各色4ビットの画像データを変換した各色5ビットの階調データに基いて、互いに異なるフレーム周期の複数の階調パターンの中から1つの階調パターンを選択し、例えばMLSにより、セグメント電極にLCDパネル（広義には、表示パネル）30を駆動するための駆動
25 信号を出力することができる。

このようなドライバIC20は、互いに交差する複数のコモン電極と複数のセグメ

ント電極とにより特定される画素を含むLCDパネル30が実装される基板上に設けることができる。またLCDパネル30のコモン電極を駆動する走査ドライバICも、当該基板上に設けるようにしてもよい。

また図16に示すように、互いに交差する複数のコモン電極と複数のセグメント電極とにより特定される画素を含む表示パネル200がガラス基板上に形成されている場合に、該ガラス基板上に、ドライバIC20と同様の機能を有する本実施形態における表示駆動回路210をIC化することなく直接形成するようにしてもよい。この際、表示パネル200のコモン電極を、表示パネル200の外部から走査ドライバICで駆動するように構成してもよいし、表示パネル200のコモン電極を駆動する走査ドライバ220を、直接該ガラス基板上に形成するようにしてもよい。

なお本発明は、上記実施形態で説明したものに限らず、種々の変形実施が可能である。

以上述べた様に、本実施形態によれば、LCD等を駆動して複数の階調でカラー表示を行う際に、表示可能な色調の種類を拡大し、表示される色の選択の自由度を増すことができる。